

10/500 061

Rec'd PCT/PTO 04 AUG 2004

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international(43) Date de la publication internationale
10 juillet 2003 (10.07.2003)

PCT

(10) Numéro de publication internationale

WO 03/056702 A1

(51) Classification internationale des brevets⁷ : H03M 7/00, H03C 3/09, H03L 7/197

(21) Numéro de la demande internationale : PCT/FR02/04433

(22) Date de dépôt international : 18 décembre 2002 (18.12.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité : 01/16874 26 décembre 2001 (26.12.2001) FR

(71) Déposant (pour tous les États désignés sauf US) : EADS TELECOM [FR/FR]; Rue Jean-Pierre Timbaud, Bâtiment Jean-Pierre Timbaud, F-78180 Montigny Le Bretonneux (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (pour US seulement) : CHAMPION, Gaël [FR/FR]; 60, rue Violet, F-75015 Paris (FR).

(74) Mandataires : VERDURE, Stéphane etc.; Cabinet Plasseraud, 84, rue d'Amsterdam, F-75440 Paris Cedex 9 (FR).

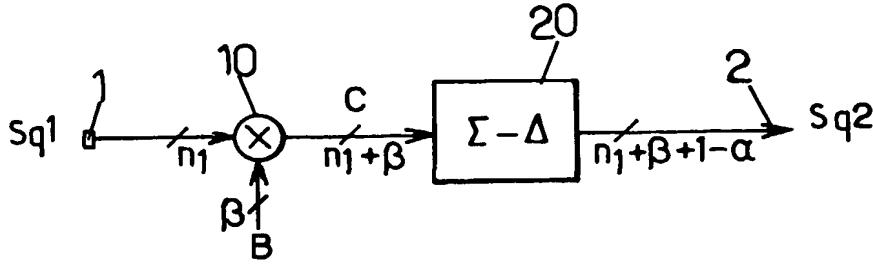
(81) États désignés (national) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés (régional) : brevet ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

[Suite sur la page suivante]

(54) Title: METHOD AND DEVICE FOR CONVERTING A QUANTIZED DIGITAL VALUE

(54) Titre : PROCEDE ET DISPOSITIF DE CONVERSION D'UNE VALEUR NUMERIQUE QUANTIFIEE



(57) **Abstract:** The invention concerns a method and a device for converting an input digital value (Sq1) quantized in accordance with a first quantization factor (Cq1) and encoded on not more than n1 bits, into an output digital value (Sq2) quantized in accordance with a second quantization factor (Cq2) and encoded on not more than n2 bits. The method consists in multiplying the input digital value (Sq1) by an integer B, encoded on not more than β bits, to generate an intermediate digital value (C); in dividing, in fixed point, the first intermediate digital value (C) by the number 2^α , where α is an integer not greater than n1+β, generating the output digital value (Sq2). The number B/2^α is substantially equal to the ratio of the second quantization factor (Cq2) over the first quantization factor (Cq1). Additionally, the divider means comprise a Sigma-Delta modulator (20).

WO 03/056702 A1

(57) **Abbrégé :** L'invention propose un procédé et un dispositif de conversion d'une valeur numérique d'entrée (Sq1) quantifiée selon un premier coefficient de quantification (Cq1) et codée sur au plus n1 bits, en une valeur numérique de sortie (Sq2) quantifiée selon un second coefficient de quantification (Cq2) et codée sur au plus n2 bits. On multiplie la valeur numérique d'entrée (Sq1) par un nombre B entier, codé sur au plus R bits, pour générer une valeur numérique intermédiaire (C). On divise ensuite, en virgule fixe, la première valeur numérique intermédiaire (C) par le nombre 2^α , où α est un nombre entier inférieur ou égal à n1+β, générant la valeur numérique de sortie (Sq2). Le nombre B/2^α est sensiblement égal au rapport du second coefficient de quantification (Cq2) sur le premier coefficient de quantification (Cq1). En outre, les moyens diviseurs comprennent un modulateur Sigma-Delta (20).



FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR,
brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

Publiée :

- *avec rapport de recherche internationale*
- *avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues*

PROCEDE ET DISPOSITIF DE CONVERSION
D'UNE VALEUR NUMERIQUE QUANTIFIEE

La présente invention se rapporte au domaine du traitement numérique du signal en virgule fixe. Elle trouve des applications dans tout système numérique en virgule fixe, et en particulier dans les synthétiseurs à modulation numérique utilisés dans les émetteurs radio et les émetteurs-récepteurs radio 5 d'un système de radio-communications numériques.

Pour effectuer des opérations sur des nombres binaires, un système numérique en virgule flottante comprend des ressources logicielles tels qu'un DSP (de l'anglais "Digital Signal Processor") correctement programmé. Par opposition, un système en virgule fixe comprend uniquement des circuits 10 logiques séquentiels tels que des additionneurs numériques, des multiplicateurs numériques, des registres à décalages, ou autres.

Les nombres binaires qui sont traités par un système numérique en virgule fixe codent des valeurs quantifiées correspondant à une valeur réelle X (par exemple la valeur variable d'un signal radio reçu par un récepteur radio, 15 ou la valeur constante de la fréquence d'un canal radio). Ces valeurs quantifiées sont représentées par des nombres entiers compris entre 0 et 2^n-1 , où n est le nombre de bits servant à coder l'information, si la valeur X est toujours positive, ou entre $-(2^{n-1}-1)$ et $2^{n-1}-1$ si la valeur X est signée (c'est-à-dire si elle peut être négative). Par convention, on note X_q la valeur quantifiée 20 qui est obtenue à partir de la valeur réelle X par une opération de quantification. Pour une quantification linéaire, la correspondance entre la valeur réelle X (dite information réelle) et la valeur quantifiée X_q (dite information quantifiée), est donnée par la relation :

$$X_q = \text{arrondi}(X \times C_q) \quad (1)$$

25 où C_q est un nombre réel appelé coefficient de quantification.

La quantification du système est déterminée par le nombre C_q , en relation avec le nombre n . Le coefficient de quantification C_q est tel que :

$$\begin{cases} \text{arrondi}(|X(t)| \times C_q) \leq 2^{n-1}-1, & \forall t, \text{ si l'information } X \text{ est signée} \\ \text{arrondi}(X(t) \times C_q) \leq 2^n-1, & \forall t, \text{ sinon} \end{cases} \quad (2)$$

où $|x|$ désigne l'opérateur valeur absolue de la variable réelle x .

Le fait de quantifier l'information X crée une erreur, dite erreur de quantification et notée e , telle que :

$$e = X - \frac{Xq}{Cq} = X - \frac{\text{arrondi}(X \times Cq)}{Cq} \quad (3)$$

Bien sûr, l'erreur e est variable, en ce sens qu'elle dépend de la valeur 5 X . D'après les propriétés de la fonction arrondi, l'erreur e est toutefois telle que $|e| \leq \frac{1}{2 \times Cq}$. La valeur maximum de l'erreur de quantification, notée e_{\max} , est donc donnée par :

$$e_{\max} = \frac{1}{2 \times Cq} \quad (4)$$

L'inverse du coefficient de quantification Cq est la résolution du système 10 numérique, c'est-à-dire la plus petite variation de l'information réelle distinguable sur l'information quantifiée. Dit autrement, $\frac{1}{Cq}$ est tel que si

$$X = \frac{1}{Cq} + X' \text{ alors } Xq = 1 + Xq'.$$

L'optimisation de la dynamique du système conduit en général à définir la quantification en choisissant Cq tel que :

$$15 \quad \begin{cases} Cq = \frac{\max(|X(t)|)}{2^{n-1}-1}, & \forall t, \text{ si l'information } X \text{ est signée} \\ Cq = \frac{\max(X(t))}{2^n-1}, & \forall t, \text{ sinon} \end{cases} \quad (5)$$

Certains systèmes imposent la quantification des données numériques, par exemple pour être homogène avec des signaux analogiques après conversion numérique-analogique d'un signal quantifié. Dans ce cas, on a une erreur de quantification majorée en module par $e_{\max} = \frac{1}{2 \times Cq}$ où Cq est le

20 coefficient de quantification correspondant. Or, il se peut que cette résolution soit insuffisante pour représenter tout ou partie des signaux numériques du système.

D'autre part, certains systèmes numériques utilisent des valeurs numériques constantes. Dans un émetteur ou un récepteur radio par exemple, 25 une telle constante numérique peut représenter la fréquence centrale d'un

canal radio. Dans ce cas, on peut se trouver dans la situation où une erreur de quantification sur la constante numérique (cette erreur étant systématique, en ce sens qu'elle ne varie pas) dépasse l'erreur maximale tolérable pour la représentation numérique de cette constante. Si le système n'impose pas la 5 quantification des données numériques, on peut réduire l'erreur de quantification systématique sur une constante numérique K déterminée en choisissant, quitte à ne pas optimiser la dynamique du système, le coefficient de quantification Cq tel que $K - \frac{\text{arrondi}(K \times Cq)}{Cq} \leq e_d \leq e_{\max}$, où e_d est l'erreur maximale tolérable pour la représentation numérique de la constante K .

10 Ceci n'est toutefois pas possible dans un système qui impose la quantification des données numériques, tel qu'un synthétiseur de fréquence à modulation numérique par exemple.

15 C'est pourquoi, un premier objet de l'invention consiste à réduire les erreurs de quantification d'un signal numérique et/ou à corriger en numérique une erreur systématique de quantification d'une valeur numérique (notamment une valeur constante) sans contrainte sur la quantification, c'est-à-dire sans contrainte sur n et sur Cq .

20 De plus, l'utilisation dans un système numérique de données numériques issues de deux sous-systèmes ayant des quantifications respectives déterminées par des coefficients de quantification distincts, n'est possible que si l'un des deux coefficients de quantification est un multiple entier de l'autre.

25 En effet, si l'on cherche à utiliser dans un même système numérique des données issues d'un premier sous-système ayant une quantification déterminée par un premier coefficient $Cq1$ avec des données numériques issues d'un second sous-système ayant une quantification déterminée par un second coefficient $Cq2$, différent de $Cq1$, on doit choisir $Cq1$ et/ou $Cq2$ tel que $Cq2 = r \times Cq1$ ou tel que $Cq1 = r \times Cq2$, où r est un nombre entier.

30 On peut alors homogénéiser les données en multipliant par r les données du premier sous-système, respectivement du second sous-système. Mais cela n'est possible que si au moins l'un des sous-systèmes n'impose pas la quantification des données numériques.

C'est pourquoi, un second objet de l'invention consiste à permettre de connecter plusieurs systèmes numériques entre eux en assurant l'homogénéité des données mais sans contraintes sur leurs quantifications respectives.

Selon un premier aspect de l'invention, il est ainsi proposé un procédé 5 de conversion d'une valeur numérique d'entrée quantifiée selon un premier coefficient de quantification et codée sur au plus n_1 bits, en une valeur numérique de sortie quantifiée selon un second coefficient de quantification et codée sur au plus n_2 bits, où n_1 et n_2 sont des nombres entiers non nuls.

Le procédé comprend les étapes consistant à :
10 a) multiplier la valeur numérique d'entrée par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul, pour générer une première valeur numérique intermédiaire codée sur au plus $n_1 + \beta$ bits ; et,
b) diviser, en virgule fixe, ladite première valeur numérique intermédiaire par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1 + \beta$, pour 15 générer ladite valeur numérique de sortie.

Selon l'invention, le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit second coefficient de quantification sur ledit premier coefficient de quantification. En outre, l'étape b) est réalisée au moyen d'un modulateur Sigma-Delta (modulateur $\Sigma-\Delta$). De préférence, il s'agit d'un modulateur $\Sigma-\Delta$ 20 d'ordre 1, qui est le plus simple à implémenter.

On notera qu'il s'agit d'une conversion numérique/numérique, c'est-à-dire que la valeur numérique de sortie, comme la valeur numérique d'entrée, sont des valeurs numériques quantifiées. Ce qui change, c'est la quantification de cette valeur numérique. En particulier, le modulateur $\Sigma-\Delta$ est un modulateur 25 numérique/numérique.

Selon un deuxième aspect de l'invention, il est aussi proposé un dispositif de conversion d'une valeur numérique d'entrée quantifiée selon un premier coefficient de quantification et codée sur au plus n_1 bits, en une valeur numérique de sortie quantifiée selon un second coefficient de quantification et codée sur au plus n_2 bits, où n_1 et n_2 sont des nombres entiers non nuls. 30

Le dispositif comprend des moyens multiplicateurs pour multiplier la valeur numérique d'entrée par un nombre B entier, codé sur au plus β bits, où β est un

nombre entier non nul. Ces moyens multiplicateurs génèrent une première valeur numérique intermédiaire codée sur au plus $n_1+\beta$ bits. Le dispositif comprend en outre des moyens diviseurs pour diviser, en yrigule fixe, ladite première valeur numérique intermédiaire par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1+\beta$. Ces moyens diviseurs génèrent ladite valeur numérique de sortie.

Selon l'invention, le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit second coefficient de quantification sur ledit premier coefficient de quantification. En outre, lesdits moyens diviseurs comprennent un modulateur Sigma-Delta ($\Sigma-\Delta$).

Ainsi qu'il est connu, un modulateur $\Sigma-\Delta$ est un circuit synchrone de la fréquence d'échantillonnage du signal d'entrée. Il opère une mise en forme du bruit de quantification (« Noise Shaping », en anglais) dans les hautes fréquences. On récupère en sortie du modulateur $\Sigma-\Delta$ un signal avec un bruit de quantification diminué dans les fréquences utiles. En moyenne, c'est-à-dire à basse fréquence par rapport à la fréquence d'échantillonnage, le gain du dispositif est égal à $\frac{B}{2^\alpha}$.

On dispose donc en sortie du modulateur $\Sigma-\Delta$ d'une valeur numérique de sortie qui correspond, avec une bonne précision, à la valeur numérique d'entrée multipliée par le rapport dudit second coefficient de quantification sur le premier coefficient de quantification.

Le principe de l'invention repose sur l'idée suivante. Dans ce qui suit, on note Sq_1 la valeur numérique d'entrée (information quantifiée), et Cq_1 le premier coefficient de quantification. De même, on note Sq_2 la valeur numérique de sortie (information quantifiée), et Cq_2 le second coefficient de quantification. Enfin, on note S la valeur réelle (information non quantifiée) correspondant à Sq_1 et Sq_2 . On pose alors les relations ci-dessous :

$$Sq_2 = \text{arrondi}(S \cdot Cq_2) \quad (6)$$

$$\text{d'où } Sq_2 \approx \text{arrondi}(S \cdot Cq_1) \cdot \frac{Cq_2}{Cq_1} \quad (7)$$

$$\text{d'où } Sq2 \cong Sq1 \cdot \frac{Cq2}{Cq1} \quad (8)$$

$$\text{c'est-à-dire } Sq2 \cong Sq1 \cdot \frac{B}{2^\alpha} \quad (9)$$

$$\text{avec } \frac{Cq2}{Cq1} \cong \frac{B}{2^\alpha} \quad (10)$$

On voit que l'invention a pour effet de réaliser la relation (9) en utilisant 5 la relation (10). Elle permet donc de convertir la valeur numérique $Sq1$ en une valeur numérique $Sq2$, qui sont des informations quantifiées selon des coefficients de quantifications respectifs $Cq1$ et $Cq2$ différents, et qui correspondent toutes les deux à la même information réelle S , sans qu'aucune hypothèse restrictive sur la relation entre l'un et l'autre de ces coefficients de 10 quantification ne soit faite.

Ainsi, l'invention permet de réduire l'erreur de quantification sur une valeur réelle, variable ou constante. En effet, il suffit de choisir le premier coefficient de quantification $Cq1$ de manière à minimiser l'erreur de quantification sur la valeur numérique $Sq1$, et de convertir cette valeur en la délivrant en tant que valeur numérique d'entrée à un dispositif selon l'invention 15 pour obtenir une valeur numérique de sortie $Sq2$ quantifiée selon un second coefficient de quantification $Cq2$, qui sera choisi comme étant celui de la quantification du sous-système devant utiliser la valeur numérique d'entrée. On peut ainsi réduire l'erreur de quantification sur la valeur numérique $Sq2$, sans 20 contrainte sur la quantification de ce sous-système.

Ceci est montré par le calcul suivant de l'erreur de quantification e sur la valeur réelle S , dans le cas où le dispositif selon l'invention est utilisé.

L'expression de e est donnée par :

$$e = S - \frac{\left(Sq1 \cdot \frac{B}{2^\alpha} \right)}{Cq2} \quad (11)$$

25 Or, $Sq1 = \text{arrondi}(S \cdot Cq1)$.

$$\text{D'où } |Sq1| \leq |S \cdot Cq1| + \frac{1}{2} \text{ et } -Sq1 \leq -S \cdot Cq1 + \frac{1}{2}$$

$$\text{On en déduit : } e \leq S - \frac{\left(S \cdot Cq1 \cdot \frac{B}{2^\alpha} \right)}{Cq2} + \frac{1}{2} \cdot \frac{\left(\frac{B}{2^\alpha} \right)}{Cq2}$$

$$\text{Soit } |e| \leq |S| \cdot \left| 1 - \frac{Cq1}{Cq2} \cdot \frac{B}{2^\alpha} \right| + \frac{1}{2} \cdot \frac{\left(\frac{B}{2^\alpha} \right)}{Cq2} = |S| \cdot \left| 1 - \frac{Cq1}{Cq2} \cdot \frac{B}{2^\alpha} \right| + \frac{1}{2 \cdot Cq1} \left(\frac{Cq1}{Cq2} \cdot \frac{B}{2^\alpha} \right)$$

Le choix de B et de α donne $\frac{Cq1}{Cq2} \cdot \frac{B}{2^\alpha} = 1 + \varepsilon$, où ε désigne une quantité négligeable par rapport à l'unité ($\varepsilon = o(1)$). Il vient alors :

$$5 \quad |e| \leq |S| \cdot |\varepsilon| + \frac{1}{2 \cdot Cq1} (1 + \varepsilon) \approx |S| \cdot |\varepsilon| + \frac{1}{2 \cdot Cq1} \quad (12)$$

L'erreur de quantification de la valeur quantifiée $Sq2$ obtenue par le procédé selon l'invention est donc, au maximum, égale à la somme d'une part de l'erreur de quantification maximum de la valeur $Sq1$ quantifiée selon le coefficient de quantification $Cq1$ et d'autre part d'une image de la valeur réelle 10 S qui sera en général négligeable. Avec une quantification selon le coefficient de quantification $Cq2$, on aurait eu une erreur majorée par $\frac{1}{2 \cdot Cq2}$.

Avantageusement, pour réduire l'erreur de quantification sur la valeur $Sq2$ dans le sous-système utilisant cette valeur, on choisira la valeur de $Cq1$ telle que $Cq1$ soit supérieur à $Cq2$ ($Cq1 > Cq2$).

15 Dans le cas particulier où la valeur numérique concernée est un entier, la première valeur numérique d'entrée $Sq1$ est égale à la valeur réelle S ($Sq1=S$) et le premier coefficient de quantification $Cq1$ est égal à l'unité ($Cq1=1$). L'erreur de quantification sur $Sq1$ est alors nulle, et l'erreur de quantification sur $Sq2$ est alors minimale. Dans ce cas, la relation (12) s'écrit :

$$20 \quad e = S \times \varepsilon \quad (13)$$

Par ailleurs, l'invention permet aussi d'adapter une valeur numérique $Sq1$ d'un premier sous-système ayant une première quantification déterminée, à une seconde quantification déterminée qui est celle d'un second sous-système devant utiliser cette valeur numérique, sans contrainte sur les 25 quantifications respectives de ces deux sous-systèmes. En effet, il suffit de fournir cette valeur numérique $Sq1$, en tant que valeur numérique d'entrée, à un dispositif selon l'invention, dans lequel ledit premier coefficient de

quantification Cq1 est choisi égal à celui de ladite première quantification déterminée, et dans lequel ledit second coefficient de quantification Cq2 est choisi égal à celui de ladite seconde quantification déterminée.

Selon un troisième aspect, l'invention propose un synthétiseur de fréquence à modulation numérique, comprenant une boucle à verrouillage de phase comprenant un diviseur de fréquence à rapport variable dans la voie de retour. Le rapport de division dudit diviseur est commandé par une valeur numérique obtenue à partir notamment d'une valeur réelle correspondant à la fréquence centrale d'un canal radio. Le synthétiseur comprend en outre un dispositif de conversion tel que défini plus haut, pour réduire l'erreur de quantification sur ladite valeur réelle.

D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et doit être lue en regard des dessins annexés sur lesquels :

- 15 - la figure 1 est un schéma synoptique d'un dispositif selon l'invention ;
- la figure 2 est un organigramme des étapes d'un procédé selon l'invention ;
- la figure 3 est un schéma synoptique d'un premier mode de réalisation du dispositif de la figure 1 ;
- 20 - la figure 4 est un schéma synoptique d'un deuxième mode de réalisation du dispositif de la figure 1 ;
- la figure 5 est un diagramme illustrant l'application d'un masque à une valeur numérique déterminée ;
- la figure 6 est un schéma synoptique d'un troisième mode de
- 25 réalisation du dispositif de la figure 1 ; et,
- la figure 7 est un schéma synoptique d'un synthétiseur à modulation numérique incorporant un dispositif selon l'invention.

A la figure 1, on a représenté le schéma synoptique d'un dispositif selon l'invention.

30 Le dispositif comprend une entrée 1 pour recevoir une valeur numérique d'entrée Sq1 qui est une valeur quantifiée d'une valeur réelle variable ou constante. La valeur Sq1 est quantifiée selon un premier coefficient de quantification Cq1, et codée sur au plus n1 bits, où n1 est un nombre entier

non nul. Le dispositif comprend également une sortie 2 pour délivrer une valeur numérique de sortie Sq2. La valeur Sq2 est quantifiée selon un second coefficient de quantification Cq2, et codée sur au plus n2 bits, où n2 est un nombre entier non nul.

5 Le dispositif comprend aussi des moyens tels qu'un multiplicateur numérique 10, pour multiplier la valeur numérique d'entrée Sq1 par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul. Les moyens 10 génèrent une première valeur numérique intermédiaire C codée sur au plus $n1+\beta$ bits.

10 Le dispositif comprend encore des moyens diviseurs, pour diviser, en virgule fixe, ladite première valeur numérique intermédiaire C par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n1+\beta$. Ces moyens diviseurs génèrent la valeur numérique de sortie Sq2.

15 Selon l'invention, ces moyens diviseurs comprennent un modulateur Sigma-Delta 20, recevant la valeur intermédiaire C en entrée, et délivrant la valeur numérique de sortie Sq2 en sortie. Le modulateur $\Sigma-\Delta$ est un modulateur numérique/numérique, recevant en entrée une valeur numérique codée sur $n1+\beta$ bits, et délivrant en sortie une valeur numérique codée sur $n1+\beta+1-\alpha$ bits. De préférence, il s'agit d'un modulateur $\Sigma-\Delta$ d'ordre 1, qui est le plus simple à 20 implémenter. Néanmoins, on peut envisager des modes de réalisation avec un modulateur $\Sigma-\Delta$ d'ordre supérieur.

25 Selon l'invention, en outre, le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport $\frac{Cq2}{Cq1}$ du second coefficient de quantification Cq2 sur le premier coefficient de quantification Cq1.

Ainsi qu'il a été dit en introduction, un tel dispositif réalise la conversion de la valeur numérique Sq1 quantifiée selon le coefficient de quantification Cq1, en la valeur numérique Sq2, quantifiée selon le coefficient de quantification Cq2.

30 La figure 2 est un organigramme illustrant les étapes d'un procédé selon l'invention. Le procédé est mis en œuvre par un dispositif tel que décrit ci-dessus en regard de la figure 1.

Dans une étape 100, on reçoit la valeur numérique d'entrée Sq1.

Dans une étape 200, on multiplie la valeur Sq1 par le nombre B, pour générer la première valeur numérique intermédiaire C.

Dans une étape 300, on divise, en virgule fixe, la première valeur 5 numérique intermédiaire C par le nombre 2^α , pour générer la valeur numérique de sortie Sq2. Suivant l'invention, l'étape 300 est réalisée au moyen d'un modulateur Sigma-Delta. De plus, le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au

rapport $\frac{Cq2}{Cq1}$.

Le schéma de la figure 3 illustre un premier mode de réalisation d'un 10 dispositif selon l'invention, convenant pour la mise en œuvre d'une première variante du procédé.

Dans ce premier mode de réalisation, le modulateur Sigma-Delta 20 comprend des moyens 21 tels qu'un additionneur numérique recevant en entrée la première valeur numérique intermédiaire C en tant que premier 15 opérande d'une part, et une valeur numérique d'erreur E en tant que second opérande d'autre part. Celle-ci est codée sur au plus α bits. Les moyens 21 délivrent en sortie une deuxième valeur numérique intermédiaire D codée sur au plus $n_1+\beta+1$ bits.

En outre, le dispositif comprend des moyens de sélection 23, tels qu'un 20 discriminateur numérique, pour sélectionner les n_2 bits les plus significatifs de la deuxième valeur numérique intermédiaire D en tant que valeur numérique de sortie Sq2, et pour sélectionner les α bits les moins significatifs de la deuxième valeur numérique intermédiaire D en tant que valeur numérique d'erreur E. Il 25 s'ensuit que n_2 est égal à $n_1+\beta+1-\alpha$. Les moyens 23 reçoivent la valeur D en entrée, et délivrent la valeur Sq2 ainsi que la valeur E en sortie.

Un discriminateur numérique est un circuit séparant les k bits de poids fort et les j bits de poids faible d'une valeur numérique d'entrée donnée, pour générer deux valeurs numériques de sortie codées respectivement sur k bits et sur j bits, et ayant pour valeur la valeur correspondant respectivement aux k 30 bits de poids forts et aux j bits de poids faible. Ici, le discriminateur 23 sépare les $n_1+\beta+1-\alpha$ bits les plus significatifs de la deuxième valeur numérique

intermédiaire D d'une part, et les α bits les moins significatifs de la valeur D d'autre part.

Le schéma de la figure 4 illustre un deuxième mode de réalisation d'un dispositif selon l'invention, convenant pour la mise en œuvre d'une deuxième variante du procédé.

Dans ce deuxième mode de réalisation, les moyens de sélection 23 du dispositif comprennent un opérateur 24 de décalage à droite de α bits. Un tel opérateur est par exemple réalisé à l'aide d'un registre à décalage proprement commandé. Cet opérateur 24 reçoit en entrée les $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire D. Il délivre en sortie les $n_1+\beta+1-\alpha$ bits les plus significatifs de la deuxième valeur numérique intermédiaire D en tant que valeur numérique de sortie Sq2.

Par ailleurs, les moyens de sélection 23 comprennent en outre des moyens 25 pour appliquer un masque à la deuxième valeur numérique intermédiaire D.

Un tel masque est représenté à la figure 5 sous la référence M. Il s'agit d'une valeur numérique stockée dans un registre approprié, ayant au plus $n_1+\beta+1$ bits, dont les $n_1+\beta+1-\alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont égaux à la valeur logique 1. Lorsqu'il est combiné à la deuxième valeur numérique intermédiaire D dans une opération de type ET logique, il permet de sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire D.

Dit autrement, les moyens 25 reçoivent en entrée les $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire D. Ils délivrent en sortie les $n_1+\beta+1-\alpha$ bits les plus significatifs de la deuxième valeur numérique intermédiaire D en tant que la valeur numérique d'erreur E.

Le schéma de la figure 6 illustre un troisième mode de réalisation d'un dispositif selon l'invention, convenant pour la mise en œuvre d'une troisième variante du procédé.

Dans ce troisième mode de réalisation, les moyens de sélection 23 du dispositif comprennent toujours un opérateur 24 de décalage à droite de α bits, ayant la même fonction que l'opérateur 24 du dispositif de la figure 4.

En outre, les moyens de sélection 23 comprennent un opérateur 26 de décalage à gauche de α bits recevant en entrée les $n_1+\beta+1-\alpha$ bits de la valeur numérique de sortie Sq2 et délivrant en sortie une troisième valeur numérique intermédiaire F, codée sur au plus $n_1+\beta+1$ bits. L'opérateur 26 est par exemple 5 un registre à décalage proprement commandé. Ils comprennent d'autre part un opérateur 27, pour effectuer la différence entre les valeurs numériques intermédiaires F et C. L'opérateur 27 est par exemple un soustracteur numérique. Il reçoit la troisième valeur numérique intermédiaire F en tant que premier opérande, et la première valeur numérique intermédiaire C en tant que 10 second opérande. Il délivre en sortie la valeur numérique d'erreur E.

Dans chacun des trois modes de réalisation décrits ci-dessus en regard des figures 3, 4 et 6, le dispositif comprend de préférence un opérateur 22 appliquant un retard unité à la valeur numérique d'erreur E, pour des raisons de synchronisation. Dit autrement, le signal d'erreur E est fourni en entrée des 15 moyens additionneurs 21 à travers un opérateur retard unité 22.

La figure 6 montre le schéma d'un synthétiseur de fréquence à modulation numérique, plus connu sous le vocable DMS (de l'anglais « Digitally Modulated Synthesiser »), qui incorpore un dispositif selon l'invention.

Un tel circuit peut être utilisé pour la génération d'un signal 20 radiofréquence (dans la bande UHF comprise entre 400 et 600 MHz) modulé en fréquence ou en phase. Il trouve des applications dans les émetteurs ou les émetteurs-récepteurs d'un système de radiocommunication, notamment dans les stations de base et/ou dans les terminaux mobiles d'un tel système.

Un DMS présente une architecture qui est dérivée de la structure d'un 25 synthétiseur de fréquence N-fractionnaire, et permet de générer un signal périodique modulé en fréquence ou en phase.

Le DMS comporte une boucle à verrouillage de phase ou PLL (de l'anglais « Phase Locked Loop ») comprenant, en série dans une voie directe, 30 un comparateur de phase/fréquence 11 ou PFC (de l'anglais « Phase/Frequency Comparator »), un filtre de boucle 12 tel qu'un intégrateur, et un oscillateur commandé en tension 13 ou VCO (de l'anglais « Voltage Controlled Oscillator »), ainsi que, dans une voie de retour, un diviseur de fréquence 14. Le VCO délivre en sortie un signal Sout qui est le signal de sortie

du DMS, dont la fréquence instantanée est f_{out} . Le PFC reçoit sur une première entrée un signal de référence S_{ref} ayant une fréquence de référence f_{ref} et, sur une seconde entrée, un signal S_{div} délivré par le diviseur de fréquence 14 à partir du signal S_{out} .

5 Pour une synthèse N-fractionnaire classique, le diviseur de fréquence 14 est un diviseur à rapport variable permettant de produire le signal S_{div} en divisant la fréquence f_{out} du signal S_{out} par un rapport de division qui vaut alternativement un entier N pendant une partie du temps T_1 , et l'entier $N+1$ pendant le reste du temps T_2 . De la sorte, la fréquence f_{out} du signal de sortie
10 S_{out} est donnée en fonction de la fréquence f_{ref} du signal de référence S_{ref} , par :

$$f_{out} = \left(N + \frac{T_1}{T_1 + T_2} \right) \times f_{ref} \quad (14)$$

15 Dans un synthétiseur à modulation numérique, le diviseur de fréquence 14 comporte une entrée de commande du rapport de division. Ce rapport est fixé par la valeur stockée dans un accumulateur déterminé. Toutefois, afin d'éviter l'apparition de raies parasites dans le spectre du signal de sortie S_{out} dues à la périodicité des changements du rapport de division de N à $N+1$ et réciproquement, un DMS connu dans l'état de l'art comporte en outre un modulateur 15, du type d'un modulateur $\Sigma-\Delta$ numérique/numérique.

20 Le modulateur 15 comporte une entrée qui reçoit une valeur numérique de modulation de fréquence ou de phase S_{mod} codée sur k bits, et une sortie qui délivre une valeur numérique S'_{mod} correspondant à la valeur S_{mod} embrouillée, et codée sur j bits. La sortie du modulateur 15 est reliée à une première entrée d'un additionneur numérique 16, dont la seconde entrée reçoit une valeur numérique N_0 qui définit le bas de la bande de fréquence adressée par le synthétiseur. La sortie de l'additionneur 16 délivre une valeur numérique S_C . Elle est reliée à l'entrée de commande du diviseur 14 pour y délivrer la valeur S_C .

30 Le DMS comprend aussi un second additionneur numérique 17, dont une première entrée reçoit une valeur numérique S_{info} et dont une seconde

entrée reçoit une valeur numérique S_{ch2} . La sortie de l'additionneur 17 délivre la valeur numérique de modulation de fréquence ou de phase S_{mod} précitée. La valeur numérique S_{info} contient l'information de modulation (signal modulant), c'est-à-dire l'information utile à émettre. La valeur numérique S_{ch2} 5 correspond à la fréquence centrale du canal radio (après addition en outre de la valeur N_0 précitée).

Les valeurs numériques S_{info} , S_{ch2} , S_{mod} , S'_{mod} et N_0 sont des valeurs quantifiées selon un coefficient de quantification C_{q2} du système numérique constitué par le DMS.

10 Selon l'invention, la valeur numérique S_{ch2} est délivrée par un dispositif convertisseur 18 tel que décrit plus haut en regard des figures 2 à 6, à partir d'une valeur numérique S_{chq1} stockée dans un registre approprié. Les valeurs quantifiées S_{ch1} et S_{ch2} correspondent à une valeur réelle qui est la fréquence centrale du canal notée F_{ch} dans la suite. La valeur réelle F_{ch} est 15 constante car la valeur de la fréquence centrale du canal est constante. En l'absence du dispositif 18, la valeur réelle F_{ch} serait directement quantifiée selon le coefficient de quantification C_{q2} du système constitué par le DMS. Néanmoins, le DMS présenté ici incorpore un dispositif 18 selon l'invention, afin de réduire l'erreur de quantification sur la valeur numérique quantifiée 20 correspondant à la valeur réelle F_{ch} (qui est une erreur systématique puisque cette valeur est constante). Dit autrement, le DMS comprend un dispositif 18 pour la conversion de la valeur numérique S_{ch1} en une valeur numérique S_{ch2} quantifiée selon le coefficient de quantification C_{q2} du système constitué par le DMS.

25 En application de ce qui précède, on choisit donc d'implémenter un dispositif convertisseur 18 du type décrit plus haut, pour lequel C_{q1} est égal à l'unité ($C_{q1}=1$, car la valeur réelle F_{ch} est entière) et pour lequel C_{q2} est le coefficient de quantification de la quantification du DMS.

30 On donne ci-dessous un exemple numérique permettant d'illustrer les avantages procurés par l'invention dans cette application. Dans cet exemple :

- $F_{ref}=9,6$ MHz (mégahertz) ;

- $k=22$;
- $j=4$;
- $F_{ch}=400017,5$ kHz (kilohertz) ;
- $N_0=arrondi(395$ MHz / F_{ref}) ;
- 5 • $e_d=4$ Hz (Hertz).

La résolution fréquentielle d'un tel DMS est donnée par $\frac{F_{ref}}{2^{k-j}}$, où k est le nombre de bits en entrée du modulateur Sigma-Delta 15, et où j est le nombre de bits en sortie de ce modulateur. La résolution fréquentielle du DMS, c'est-à-dire $\frac{1}{Cq2}$, est donc :

$$10 \quad \frac{1}{Cq2} = \frac{F_{ref}}{2^{k-j}} = \frac{9,6 \cdot 10^6}{2^{18}} \approx 36,62 \text{ Hz}$$

La valeur F_{min} correspondant au bas de la bande de fréquence adressée par le DMS, est déterminée par la valeur numérique N_0 selon la relation $F_{min}=N_0 \times F_{ref}$. Donc ici, $F_{min}=41 \times 9,6 \cdot 10^6 = 393,6$ MHz.

15 Considérons tout d'abord ce que serait la situation sans le dispositif 18 selon l'invention, c'est-à-dire si on avait $Sch1=Sch2$. On aurait :

$$F_{ch2} = arrondi[(F_{ch} - F_{min}) \cdot Cq2] = 175241$$

L'erreur de quantification systématique sur la fréquence centrale du canal radio serait donc :

$$e = F_{ch} - \left(\frac{F_{ch2}}{Cq2} + F_{min} \right)$$

20 c'est-à-dire :

$$e = 400017,5 \cdot 10^3 - \left(\frac{175241}{Cq2} + 393,6 \cdot 10^6 \right) = -17,08 \text{ Hz}$$

Cette valeur dépasse (en valeur absolue) l'erreur acceptable e_d .

18 Considérons maintenant ce qui se passe avec le dispositif de conversion selon l'invention. Le signal que l'on cherche à représenter étant entier, on a
25 $Cq1=1$.

On choisit l'approximation suivante : $Cq2 \approx \frac{B}{2^\alpha} = \frac{229065}{223}$. Dit autrement, on choisit d'implémenter un dispositif selon l'invention avec $B=229065$, et $\alpha=23$.

On peut déterminer l'erreur de quantification en utilisant la relation (13) 5 donnée en introduction qui est valable dans le cas où la valeur numérique réelle en entrée du dispositif (ici, la valeur constante $F_{ch}-F_{min}$) est un entier. On rappelle que cette relation s'écrit alors :

$$e = S \cdot \varepsilon = S \cdot \left(\frac{Cq1}{Cq2} \cdot \frac{B}{2^\alpha} - 1 \right) \cong 2,17 \text{ Hz}$$

où S désigne la valeur numérique réelle en entrée du dispositif (ici F_{ch}).

10 D'où il vient que $e \cong 2,17 \text{ Hz}$. On a donc bien atteint l'objectif d'une erreur de quantification sur la valeur de la fréquence centrale du canal radio inférieure à 4 Hz, sans devoir modifier la quantification du système. L'invention permet ici de réduire l'erreur de quantification systématique sur la valeur de la fréquence centrale du canal radio de 17 Hz à 2 Hz.

15 Un meilleur résultat pourrait être obtenu en augmentant la précision de l'approximation de $\frac{Cq2}{Cq1}$ mais au prix d'une augmentation du nombre β et du nombre α .

REVENDICATIONS

1. Procédé de conversion d'une valeur numérique d'entrée (Sq1) quantifiée selon un premier coefficient de quantification (Cq1) et codée sur au plus n_1 bits, en une valeur numérique de sortie (Sq2) quantifiée selon un second coefficient de quantification (Cq2) et codée sur au plus n_2 bits, où n_1 et 5 n_2 sont des nombres entiers non nuls, comprenant les étapes consistant à :

a) multiplier la valeur numérique d'entrée (Sq1) par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul, pour générer une première valeur numérique intermédiaire (C) codée sur au plus $n_1+\beta$ bits ;

10 b) diviser, en virgule fixe, ladite première valeur numérique intermédiaire (C) par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1+\beta$, pour générer ladite valeur numérique de sortie (Sq2),

15 suivant lequel le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit second coefficient de quantification (Cq2) sur ledit premier coefficient de quantification (Cq1) ;

et suivant lequel l'étape b) est réalisée au moyen d'un modulateur Sigma-Delta.

2. Procédé selon la revendication 1, suivant lequel l'étape b) comprend les étapes consistant à :

20 b1) additionner ladite première valeur numérique intermédiaire (C) d'une part, et une valeur numérique d'erreur (E) codée sur au plus α bits d'autre part, pour générer une deuxième valeur numérique intermédiaire (D) codée sur au plus $n_1+\beta+1$ bits ;

25 b2) sélectionner les n_2 bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique de sortie (Sq2), où n_2 est égal à $n_1+\beta+1-\alpha$;

b3) sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique d'erreur (E).

3. Procédé selon la revendication 2, suivant lequel l'étape b2) et l'étape b3) sont réalisées conjointement à l'aide d'un discriminateur, permettant de séparer lesdits $n_1+\beta+1-\alpha$ bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) d'une part, et lesdits α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) d'autre part.

4. Procédé selon la revendication 2, suivant lequel l'étape b2) est effectuée par une opération de décalage à droite de α bits appliquée aux $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire (D).

10

5. Procédé selon la revendication 4, suivant lequel l'étape b3) est effectuée en appliquant à la deuxième valeur numérique intermédiaire (D) un masque ayant au plus $n_1+\beta+1$ bits, dont les $n_1+\beta+1-\alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont égaux à la valeur logique 1.

6. Procédé selon la revendication 4, suivant lequel l'étape b3) est effectuée d'une part par une opération de décalage à gauche de α bits appliquée aux $n_1+\beta+1-\alpha$ bits de la valeur numérique de sortie (Sq2) permettant 20 de générer une troisième valeur numérique intermédiaire (F) codée sur au plus $n_1+\beta+1$ bits, et d'autre part par une opération de différence entre ladite troisième valeur numérique intermédiaire (F) et ladite première valeur numérique intermédiaire (C).

25 7. Procédé selon l'une quelconque des revendications précédentes, suivant lequel aucun du premier ni du second coefficients de quantification n'est un multiple entier de l'autre

8. Dispositif de conversion d'une valeur numérique d'entrée (Sq1) 30 quantifiée selon un premier coefficient de quantification (Cq1) et codée sur au plus n_1 bits, en une valeur numérique de sortie (Sq2) quantifiée selon un second coefficient de quantification (Cq2) et codée sur au plus n_2 bits, où n_1 et n_2 sont des nombres entiers non nuls, comprenant :

- des moyens multiplicateurs (10) pour multiplier la valeur numérique d'entrée (Sq1) par un nombre B entier, codé sur au plus β bits, où β est un nombre entier non nul, générant une première valeur numérique intermédiaire (C) codée sur au plus $n_1+\beta$ bits ;

5 - des moyens diviseurs pour diviser, en virgule fixe, ladite première valeur numérique intermédiaire (C) par le nombre 2^α , où α est un nombre entier inférieur ou égal à $n_1+\beta$, générant ladite valeur numérique de sortie (Sq2),

dans lequel le nombre $\frac{B}{2^\alpha}$ est sensiblement égal au rapport dudit

10 second coefficient de quantification (Cq2) sur ledit premier coefficient de quantification (Cq1) ;

et dans lequel lesdits moyens diviseurs comprennent un modulateur Sigma-Delta (20).

15 9. Dispositif selon la revendication 8, dans lequel le modulateur Sigma-Delta (20) est un modulateur Sigma-Delta d'ordre 1.

10. Dispositif selon la revendication 9, dans lequel le modulateur Sigma-Delta (20) comprend :

20 - des moyens additionneurs (21) recevant en entrée ladite première valeur numérique intermédiaire (C) en tant que premier opérande d'une part, et une valeur numérique d'erreur (E) codée sur au plus α bits en tant que second opérande d'autre part, et délivrant en sortie une deuxième valeur numérique intermédiaire (D) codée sur au plus $n_1+\beta+1$ bits ;

25 - des moyens de sélection (23) pour sélectionner les n_2 bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique de sortie (Sq2), où n_2 est égal à $n_1+\beta+1-\alpha$, et pour sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que valeur numérique d'erreur (E).

30

11. Dispositif selon la revendication 10, dans lequel lesdits moyens de sélection (23) sont constitué par un discriminateur permettant de séparer

lesdits $n_1+\beta+1-\alpha$ bits les plus significatifs de ladite deuxième valeur numérique intermédiaire (D) d'une part, et lesdits α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) d'autre part.

5 12. Dispositif selon la revendication 10, dans lequel lesdits moyens de sélection (23) comprennent un opérateur de décalage à droite de α bits (24) recevant en entrée les $n_1+\beta+1$ bits de la deuxième valeur numérique intermédiaire (D), et délivrant en sortie les $n_1+\beta+1-\alpha$ bits les plus significatifs de la deuxième valeur numérique intermédiaire (D) en tant que valeur 10 numérique de sortie (Sq2).

13. Dispositif selon la revendication 12, dans lequel lesdits moyens de sélection (23) comprennent en outre des moyens (25) pour appliquer à la deuxième valeur numérique intermédiaire (D) un masque (M) ayant au plus 15 $n_1+\beta+1$ bits, dont les $n_1+\beta+1-\alpha$ bits les plus significatifs sont égaux à la valeur logique 0, et dont les α bits les moins significatifs sont égaux à la valeur logique 1, de manière à sélectionner les α bits les moins significatifs de ladite deuxième valeur numérique intermédiaire (D) en tant que la valeur numérique d'erreur (E).

20 14. Dispositif selon la revendication 12, dans lequel lesdits moyens de sélection (23) comprennent en outre, d'une part un opérateur de décalage à gauche de α bits recevant en entrée les $n_1+\beta+1-\alpha$ bits de la valeur numérique de sortie (Sq2) et délivrant en sortie une troisième valeur numérique 25 intermédiaire (F) codée sur au plus $n_1+\beta+1$ bits, et d'autre part un opérateur de différence recevant ladite troisième valeur numérique intermédiaire (F) en tant que premier opérande et ladite première valeur numérique intermédiaire (C) en tant que second opérande, et délivrant en sortie ladite valeur numérique d'erreur (E).

15. Dispositif selon l'une quelconque des revendications 10 à 14, dans lequel le signal d'erreur (E) est fourni en entrée des moyens additionneur (21) à travers un opérateur retard unité (22).

5 16. Synthétiseur de fréquence à modulation numérique, comprenant une boucle à verrouillage de phase (PLL) comprenant un diviseur de fréquence à rapport variable (14) dans la voie de retour, dans lequel le rapport de division est commandé par une valeur numérique (Sc) obtenue à partir notamment d'une valeur réelle (F_{ch}) correspondant à la fréquence centrale d'un canal
10 radio, le synthétiseur comprenant en outre un dispositif de conversion (18) selon l'une quelconque des revendications 8 à 15 pour réduire l'erreur de quantification sur ladite valeur réelle.

1/3

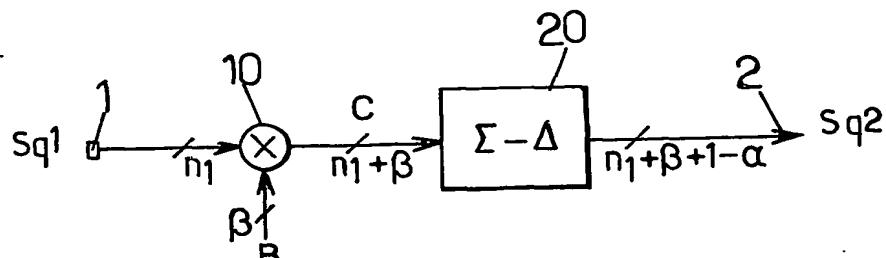


FIG. 1.

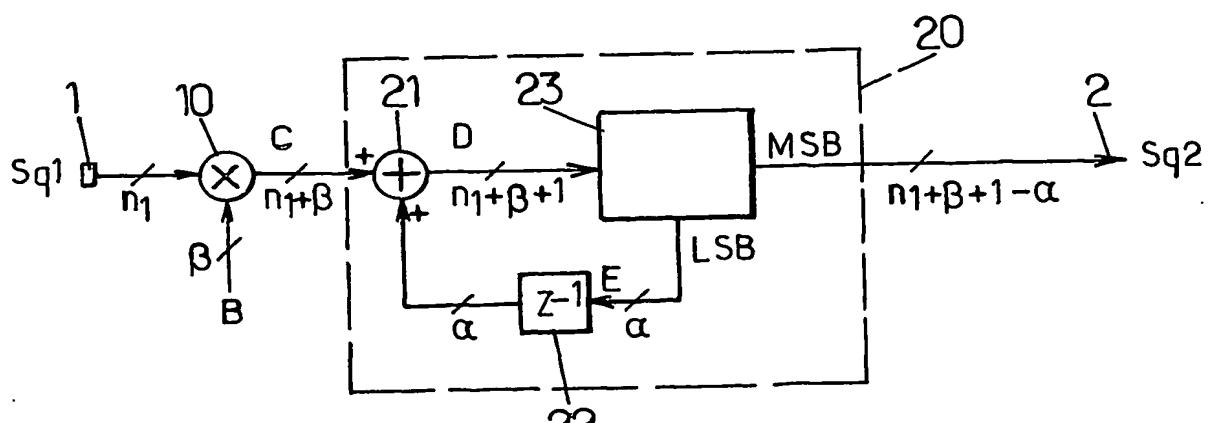
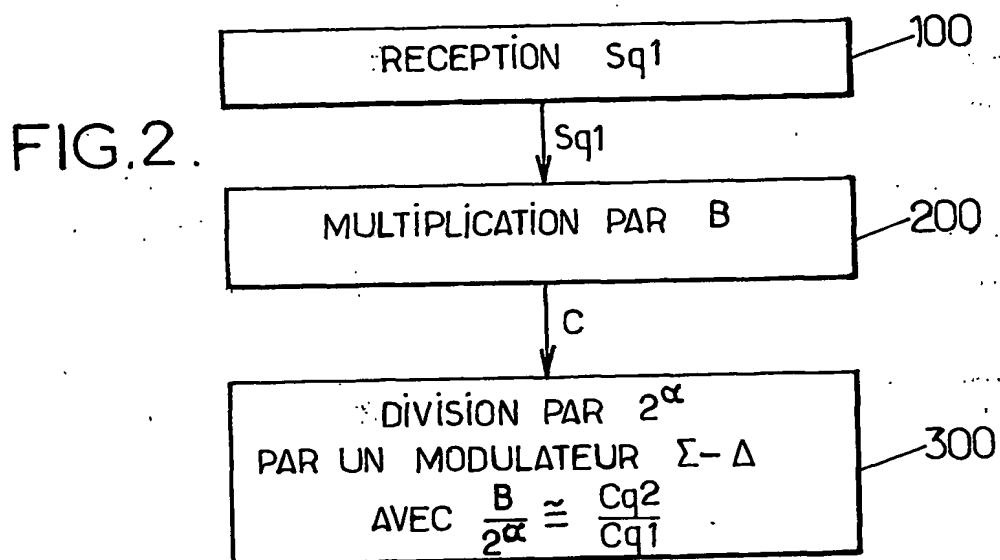


FIG. 3.

2/3

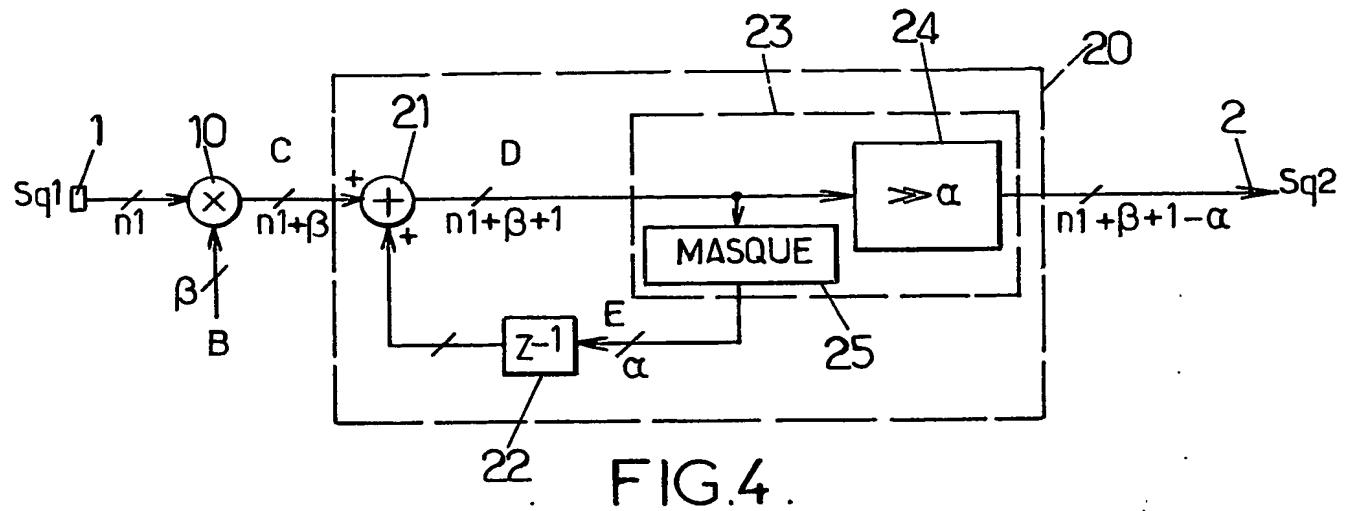


FIG.4.

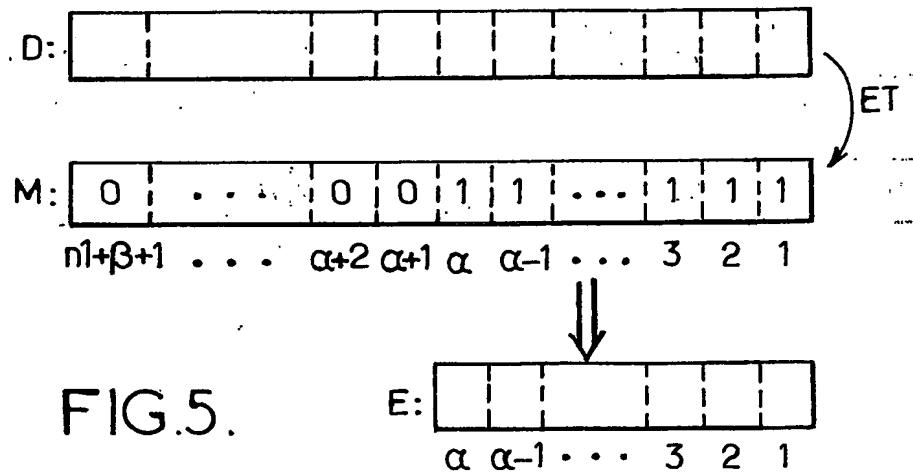


FIG.5.

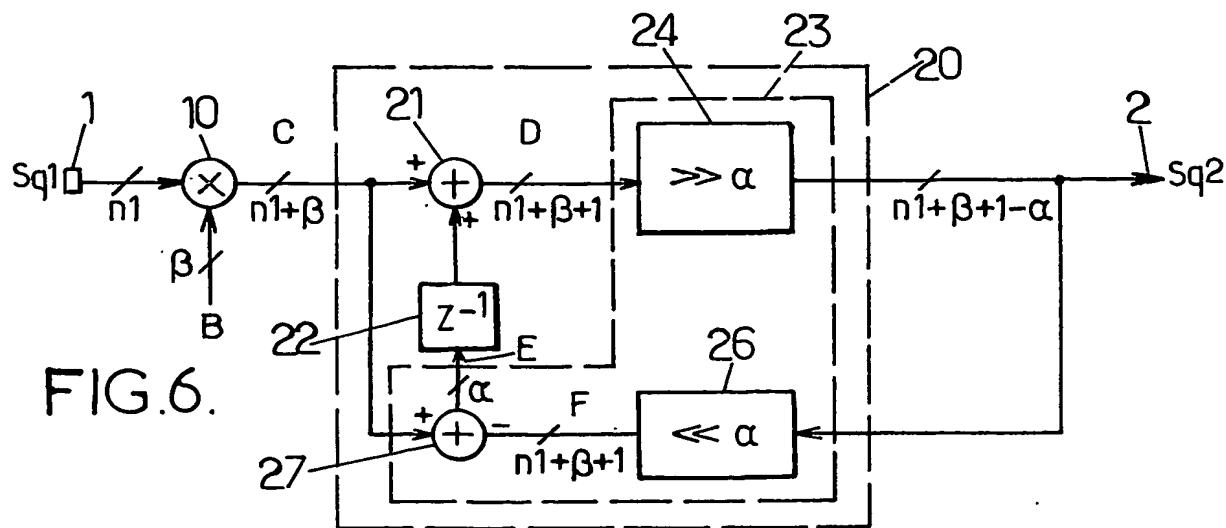
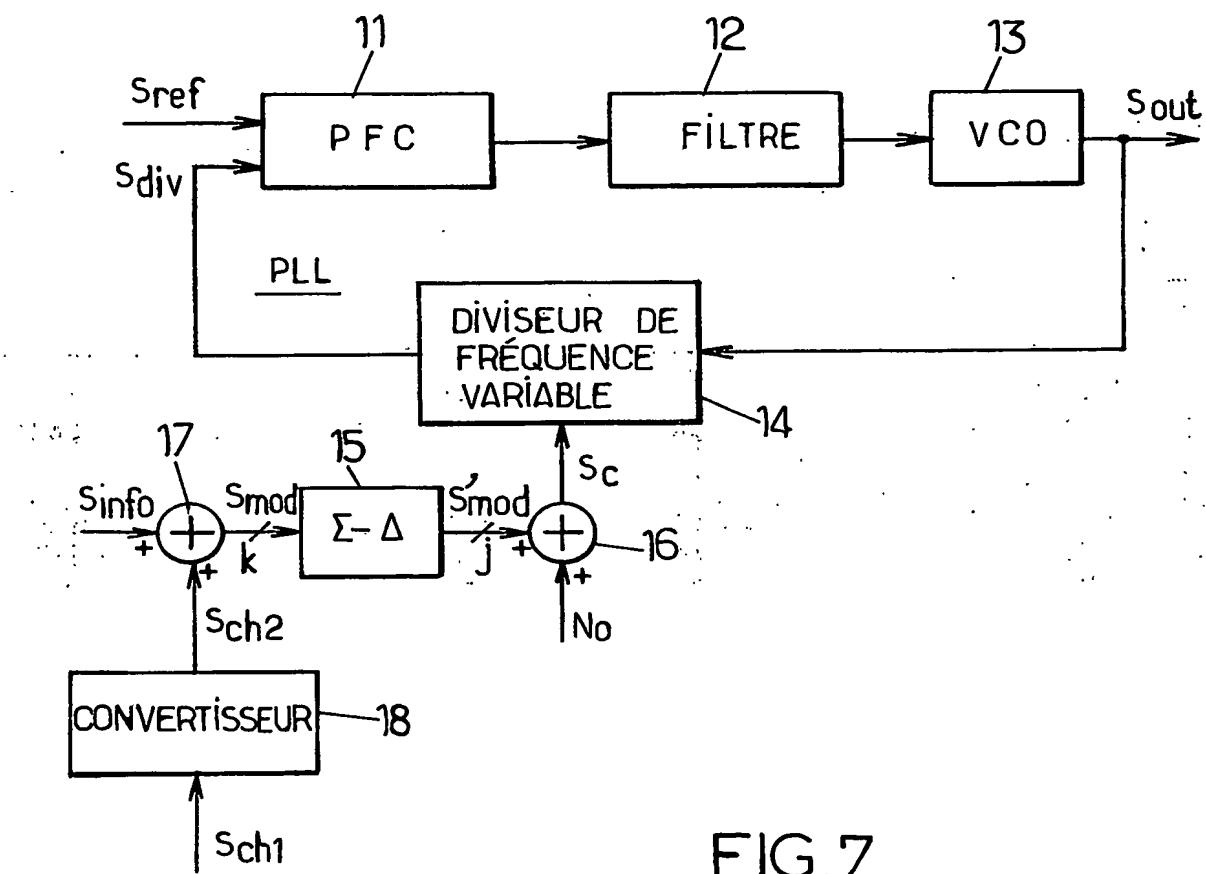


FIG.6.

3/3



INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 02/04433

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H03M7/00 H03C3/09 H03L7/197

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHEDMinimum documentation searched (classification system followed by classification symbols)
 IPC 7 H03M H03C H03L H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>PERROTT M H ET AL: "A 27-MW CMOS FRACTIONAL-N SYNTHESIZER USING DIGITAL COMPENSATION FOR 2.5-MB/S GFSK MODULATION" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 32, no. 12, 1 December 1997 (1997-12-01), pages 2048-2060, XP000767454 ISSN: 0018-9200 figure 2</p> <p>---</p>	1,8,15
A	<p>WO 01 24357 A (BOWLER DARREN TIMOTHY ;OBRIEN JEREMIAH CHRISTOPHER (IE); PARTHUS T) 5 April 2001 (2001-04-05) figures 3,7</p> <p>---</p> <p>-/-</p>	1,8,15

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

15 April 2003

29/04/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Beindorff, W

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 02/04433

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 154 095 A (KANO TOSHIHIKO ET AL) 28 November 2000 (2000-11-28) abstract; figure 2 -----	1,8,15

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 02/04433

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
WO 0124357	A 05-04-2001	AU	1493801 A	30-04-2001
		AU	1962501 A	30-04-2001
		AU	2112501 A	10-05-2001
		AU	7724500 A	30-04-2001
		AU	7724800 A	30-04-2001
		AU	7834700 A	30-04-2001
		WO	0124357 A1	05-04-2001
		WO	0124415 A1	05-04-2001
		WO	0124420 A1	05-04-2001
		WO	0126260 A1	12-04-2001
		WO	0124537 A2	05-04-2001
		WO	0124376 A1	05-04-2001
		US	6504498 B1	07-01-2003
US 6154095	A 28-11-2000	WO	9838744 A1	03-09-1998
		JP	2001186020 A	06-07-2001
		JP	2001177405 A	29-06-2001
		JP	2001177406 A	29-06-2001
		US	6337600 B1	08-01-2002

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale N°
PCT/FR 02/04433

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H03M7/00 H03C3/09 H03L7/197

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 H03M H03C H03L H04L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>PERROTT M H ET AL: "A 27-MW CMOS FRACTIONAL-N SYNTHESIZER USING DIGITAL COMPENSATION FOR 2.5-MB/S GFSK MODULATION" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 32, no. 12, 1 décembre 1997 (1997-12-01), pages 2048-2060, XP000767454 ISSN: 0018-9200 figure 2</p> <p>---</p>	1,8,15
A	<p>WO 01 24357 A (BOWLER DARREN TIMOTHY ; O'BRIEN JEREMIAH CHRISTOPHER (IE); PARTHUS T) 5 avril 2001 (2001-04-05) figures 3,7</p> <p>---</p> <p>-/-</p>	1,8,15

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *&* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

15 avril 2003

Date d'expédition du présent rapport de recherche internationale

29/04/2003

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Beindorff, W

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/FR 02/04433

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 6 154 095 A (KANO TOSHIHIKO ET AL) 28 novembre 2000 (2000-11-28) abrégé; figure 2 -----	1,8,15

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/FR 02/04433

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
WO 0124357	A 05-04-2001	AU	1493801 A	30-04-2001
		AU	1962501 A	30-04-2001
		AU	2112501 A	10-05-2001
		AU	7724500 A	30-04-2001
		AU	7724800 A	30-04-2001
		AU	7834700 A	30-04-2001
		WO	0124357 A1	05-04-2001
		WO	0124415 A1	05-04-2001
		WO	0124420 A1	05-04-2001
		WO	0126260 A1	12-04-2001
		WO	0124537 A2	05-04-2001
		WO	0124376 A1	05-04-2001
		US	6504498 B1	07-01-2003
US 6154095	A 28-11-2000	WO	9838744 A1	03-09-1998
		JP	2001186020 A	06-07-2001
		JP	2001177405 A	29-06-2001
		JP	2001177406 A	29-06-2001
		US	6337600 B1	08-01-2002

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

VERSION CORRIGÉE

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
10 juillet 2003 (10.07.2003)

PCT

(10) Numéro de publication internationale
WO 03/056702 A1

(51) Classification internationale des brevets⁷ : **H03M 7/00**,
H03C 3/09, H03L 7/197

(21) Numéro de la demande internationale :
PCT/FR02/04433

(22) Date de dépôt international :
18 décembre 2002 (18.12.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
01/16874 26 décembre 2001 (26.12.2001) FR

(71) Déposant (pour tous les États désignés sauf US) : **EADS TELECOM [FR/FR]**; Rue Jean-Pierre Timbaud, Bâtiment Jean-Pierre Timbaud, F-78180 Montigny Le Bretonneux (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (pour US seulement) : **CHAMPION, Gaël [FR/FR]**; 60, rue Violet, F-75015 Paris (FR).

(74) Mandataires : **VERDURE, Stéphane** etc.; Cabinet Plasseraud, 84, rue d'Amsterdam, F-75440 Paris Cedex 9 (FR).

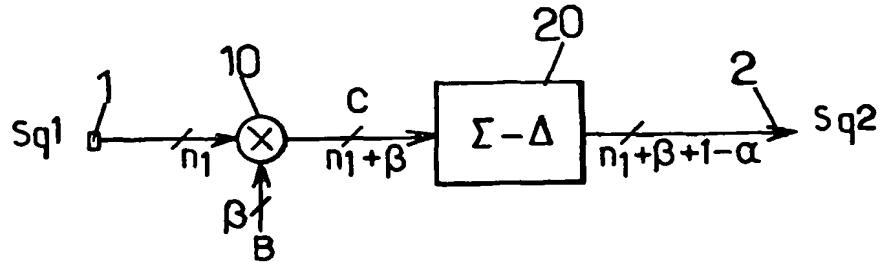
(81) États désignés (national) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés (régional) : brevet ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet

[Suite sur la page suivante]

(54) Title: METHOD AND DEVICE FOR CONVERTING A QUANTIZED DIGITAL VALUE

(54) Titre : PROCEDE ET DISPOSITIF DE CONVERSION D'UNE VALEUR NUMERIQUE QUANTIFIEE



(57) Abstract: The invention concerns a method and a device for converting an input digital value (Sq1) quantized in accordance with a first quantization factor (Cq1) and encoded on not more than n1 bits, into an output digital value (Sq2) quantized in accordance with a second quantization factor (Cq2) and encoded on not more than n2 bits. The method consists in multiplying the input digital value (Sq1) by an integer B, encoded on not more than β bits, to generate an intermediate digital value (C); in dividing, in fixed point, the first intermediate digital value (C) by the number 2α , where α is an integer not greater than $n_1 + \beta$, generating the output digital value (Sq2). The number $B/2\alpha$ is substantially equal to the ratio of the second quantization factor (Cq2) over the first quantization factor (Cq1). Additionally, the divider means comprise a Sigma-Delta modulator (20).

WO 03/056702 A1

(57) Abrégé : L'invention propose un procédé et un dispositif de conversion d'une valeur numérique d'entrée (Sq1) quantifiée selon un premier coefficient de quantification (Cq1) et codée sur au plus n1 bits, en une valeur numérique de sortie (Sq2) quantifiée selon un second coefficient de quantification (Cq2) et codée sur au plus n2 bits. On multiplie la valeur numérique d'entrée (Sq1) par un nombre B entier, codé sur au plus R bits, pour générer une valeur numérique intermédiaire (C). On divise ensuite, en virgule fixe, la première valeur numérique intermédiaire (C) par le nombre 2α , où α est un nombre entier inférieur ou égal à $n_1 + \beta$, générant la valeur numérique de sortie (Sq2). Le nombre $B/2\alpha$ est sensiblement égal au rapport du second coefficient de quantification (Cq2) sur le premier coefficient de quantification (Cq1). En outre, les moyens diviseurs comprennent un modulateur Sigma-Delta (20).



européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Déclaration en vertu de la règle 4.17 :

- *relative à la qualité d'inventeur (règle 4.17.iv)) pour US seulement*

Publiée :

- *avec rapport de recherche internationale*

(48) Date de publication de la présente version corrigée:
30 octobre 2003

(15) Renseignements relatifs à la correction:
voir la Gazette du PCT n° 44/2003 du 30 octobre 2003,
Section II

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.